

-translation-

Patent laid-Open Pub. No.57-183051

Published November 11, 1982

Title of Invention: Method of wiring a semiconductor device

Appln. No.56-67994

Filed May 6, 1981

Inventor: Ryosuke ARAKI

Applicant: Kabushiki Kaisha Suwa Sekosha

Claim:

1. A method of wiring a semiconductor device having at least a first polycrystal silicone layer and a second polycrystal silicone layer, characterized in that:

the first polycrystal silicone layer and the second polycrystal silicon layer have a contacting portion which has a metal layer which contacts the second polycrystal silicone layer on said contacting portion.

2. A method as claimed in claim 1 wherein a silicone substrate is partially contacted with the polycrystal silicone layer, the metal layer being provided on said contacting portion of said polycrystal silicone layer.

Brief Description of the Drawings:

Fig. 1 (a) and (b) shows a conventional method of PN junction portion;

Fig. 2 is a sectional view of an ohmic contacting portion of a metal-semiconductor;

Fig. 3 (a) and (b) show a method of connecting a PN contacting portion between semiconductor wirings according to the present invention; and

Fig. 4(a) and (b) show a direction of connection of PN junction between a semiconductor substrate and a semiconductor wiring according to the present invention.

31,32,42: semiconductor wiring

41: diffusion layer

33,43: metal

34,44: metal spike

⑩ 日本国特許庁 (JP)

⑪ 特許出願公開

⑫ 公開特許公報 (A)

昭57-183051

⑬ Int. Cl.³
H 01 L 21/88
21/28

識別記号

庁内整理番号
6810-5F
7638-5F

⑭ 公開 昭和57年(1982)11月11日

発明の数 1
審査請求 未請求

(全 3 頁)

⑮ 半導体装置の配線方法

⑯ 特 願 昭56-67994

⑰ 出 願 昭56(1981)5月6日

⑱ 発 明 者 荒木亮輔

諏訪市大和3丁目3番5号株式

会社諏訪精工舎内

⑲ 出 願 人 株式会社諏訪精工舎

東京都中央区銀座4丁目3番4号

⑳ 代 理 人 弁理士 最上務

明 細 書

イ 発明の名称

半導体装置の配線方法

2 特許請求の範囲

1 少なくとも第一の多結晶シリコン層と第二の多結晶シリコン層を有する半導体装置において、第一の多結晶シリコン層と第二の多結晶シリコン層がその一部で接触する部分を有し、前記接触部上層に第二の多結晶シリコン層と接触して成る金属層を有することを特徴とする半導体装置の配線方法。

2 シリコン基板と多結晶シリコン層が、その一部で接し、前記多結晶シリコン層の前記接触部上層に金属層を有する特許請求の範囲第1項記載の半導体装置の配線方法。

3 発明の詳細な説明

本発明は、半導体装置の配線方法に関する。特

に半導体装置の高密度化のための配線方法に関する。半導体装置は近年増々多機能化、高集積化が進み、多方面で利用され需用が増加し、そして半導体装置に対してさらに多機能化、高集積化が要求されている。半導体装置の多機能化、高集積化は、従来より幾つかの方法により行なわれてきた。

第一にはチップサイズを大きくすることである。しかしこの方法はチップが大型化するにしたがって歩留りが低下するためチップの大型化には限度がある。現在のところ30 μ m程度のものが多い。

第二としては微細化するが設計ルールを小さくすることによりチップサイズを小さくするか、もしくはチップサイズはそのままでより集積化し、多機能化するものである。この第二の方法はその実現のため広く研究され、電子線露光装置やプラズマあるいはイオンエッチング装置が生まれ成果を上げているが、この方法は従来の製造技術をそのまま使用することができずその一部を新しい技術に変えなければならない。さらに微細化が進むと全ての工程を全く新しい技術に変える必要が生

じてくる。半導体装置製造工程において新しい工程を加えたり新技術を導入することは非常にむずかしく、量産への導入には時間を要する。

このため現在の技術がそのまま使える方法も微細化技術とともに開発していくことが重要である。この第三の方法は、設計上あるいは素子の構造上から集積度の向上をはかるものである。現在半導体集積回路装置はMOSI Oに代表されるように二次元的配置になっている。そこで素子部と配線部を分離し、絶縁膜をはさんで素子部上方に配線を行う方法がとられる。たとえばシリコン基板上にシリコン酸化膜をかいしてポリシリコンからなるゲートが配線され、さらにその上層に絶縁膜をかいしてポリシリコンで第二の配線をし、そしてさらにその上層に絶縁膜をかいしてメタル配線がなされる。したがってこの方法により配線が占めていた面積分だけチップサイズを小さくすることができ、しかも従来の技術はそのままつかえる。

ところでC-MOSI O (Complimentary-Metal-Oxide-Semiconductor)

統をとる場合や一層目ポリシリコン配線と二層目ポリシリコン配線との接続の場合にも、異なる導電型の半導体の接続であれば上記と同様の問題が生ずる。

本発明の目的はかかる欠点を除去し、半導体集積回路装置の集積度を向上せしめることにある。

本発明は多層配線における配線の接続のための面積を小さくすることにより半導体集積回路装置の集積度を向上せしめるものである。

半導体装置でよく用いられる半導体とメタルのオーミック接続は、メタルに応じた高温処理(たとえばAlの場合300~500℃)することによりおこなわれる。このときメタル中に半導体が侵入すると同時に半導体中にメタルが侵入する。第2図は半導体21中にメタル22が侵入した状態を示す。

本発明は上記半導体中へのメタルの侵入を利用して導電型の異なる複数のポリシリコン配線もしくはシリコン基板との接続を可能ならしめ、半導体集積回路装置の集積度を向上せしめんとするも

Integrated-Circuit)の場合、Pチャンネルトランジスタ(Pch)とNチャンネルトランジスタ(Nch)から成っているため、Pch側のポリシリコンゲートはP型に、またNch側のポリシリコンゲートはN型になる。故にPch側のゲートとNch側のゲートとの接続部にはP-N接合が出来るため電氣的接続がとれない。上記電氣的接続をとるため第1図a, bに示すようにPch側のポリシリコンゲート1とNch側のポリシリコンゲート2を分離しておいて、メタル配線5で電気接続する方法(第1図a)やゲート配線は接続されているがP型のポリシリコンゲート部1とN型のポリシリコンゲート部2からなりその境界のP-N接合をコンタクト4を通してメタル5により電気接続する方法がある。3…コンタクト。しかし上記の方法ではP型ポリシリコンとN型ポリシリコンとの接続のための面積必要とし、C-MOSI Oのように多くの素子が組み込まれる場合、この接続のための面積は無視できなくなる。

その他シリコン基板とポリシリコンとを直接接

のである。

第3図及び第4図に本発明の2つの例を示す。

第3図は導電型の異なるポリシリコン配線31及び32の接続を示す。第3図(a)は平面図、第3図(b)は断面図を示す。導電型の異なるポリシリコン配線31及び32は接触しているが、P-N接合のためオーミック接続されない。そこでメタル(Alなど)33を上層に接触させ熱処理を行うことにより二つのポリシリコン配線31, 32にメタルを侵入せしめ、メタルの侵入によるスパイク34を通してポリシリコン配線31とポリシリコン配線32をオーミック接続せしめる。ポリシリコン配線31と32の間の絶縁膜の有無は本質ではないので略した。35…コンタクトホール。本発明により接続のために占められる面積は従来の方法と比べ半分以下となる。

第4図は基板上の拡散層41と拡散層41と異なる導電型のポリシリコン配線42の接続を示す。第4図(a)は平面図、第4図(b)は断面図である。シリコン基板上に形成された拡散層41と拡散層

4 1と接して拡散層4 1と異なる導電型のポリシリコン配線4 2をメタル4 3の侵入によるスパイク4 4によりオーミック接続せしめたものであり、本発明により従来の方法と比べ、接続に占める面積を半分以下にすることが可能となる。以上の説明において導電型の異なる半導体の接続についてのみ説明したが同一導電型の半導体の接続に対しても本発明は別の効果を有する。すなわち同一導電型の半導体を接続する場合、接続界面がクリーンな場合は問題とならないが少しでもよごれている場合、その接続は不安定なものとなる。しかしこのような場合においても本発明を用いることにより安定してオーミック接続することが可能となる。

以上本発明によれば半導体集積回路装置の集積化の防げとなっていた異なる導電型の半導体間の接続に占められる面積を小さくすることができ、これにより半導体集積回路装置の集積度を向上させることができる。

4. 図面の簡単な説明

第1図(a), (b)は従来のPN接合部の接続方法。

第2図はメタル-半導体のオーミック接続部の断面図。

第3図(a), (b)は本発明による半導体配線間のPN接合部の接続方法を示す。

第4図(a), (b)は本発明による半導体基板と半導体配線間のPN接合の接続方向を示す。

3 1, 3 2, 4 2 ... 半導体配線

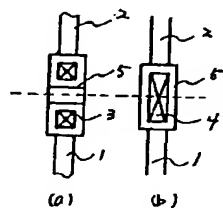
4 1 ... 拡散層

3 3, 4 3 ... メタル

3 4, 4 4 ... メタルスパイク

以 上

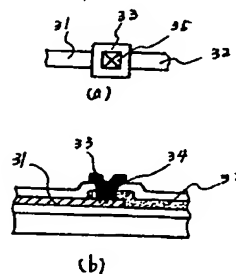
出願人 株式会社殿防精工舎
代理人 弁理士 最 上 務



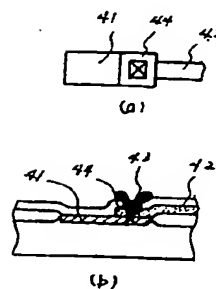
第 1 図



第 2 図



第 3 図



第 4 図